

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-138449

(43)Date of publication of application : 20.05.1994

(51)Int.Cl.

G02F 1/1333  
G01M 11/00  
G01R 31/00  
G01R 31/28

BEST AVAILABLE COPY

(21)Application number : 04-293050

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 30.10.1992

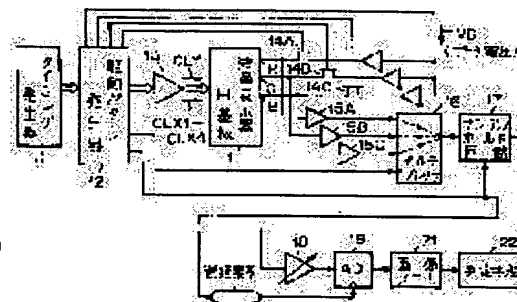
(72)Inventor : HAYASHI MASAKI

## (54) SUBSTRATE INSPECTION DEVICE FOR LIQUID CRYSTAL DISPLAY UNIT

## (57)Abstract:

**PURPOSE:** To provide the substrate inspection device which directly inspects a substrate for a liquid crystal display unit and decides its quality before elements such as liquid crystal and a color filter are mounted.

**CONSTITUTION:** This substrate inspection device consists of a driving pattern generator 12 which supplies driving signals to a row driving circuit and a column driving circuit mounted on the substrate 1 for the liquid crystal display unit to be inspected, switch elements 14A-14C which apply a data voltage to video signal input terminals R, G, and B provided on the liquid crystal display unit substrate while one row line is selected and turned ON in a 1st horizontal scanning period and OFF in a 2nd horizontal scanning period while the same row line is selected to disconnect the voltage source for the data voltage from the video signal input terminals R, G, and B, a memory 21 which inputs and stores voltages of respective column lines through the video signal input terminals R, G, and B each time each column line is selected in the 2nd horizontal scanning period, and a decision means 22 which decides whether or not the voltage value stored in the memory 21 is in a prescribed range and decides the quality.



## LEGAL STATUS

[Date of request for examination] 13.10.1999

[Date of sending the examiner's decision of rejection] 13.03.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-138449

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1333	5 0 0	9225-2K		
G 0 1 M 11/00	T	8204-2G		
G 0 1 R 31/00		7808-2G		
31/28		6912-2G	G 0 1 R 31/ 28	H
			審査請求 未請求 請求項の数 1 (全 6 頁)	

(21)出願番号 特願平4-293050

(22)出願日 平成4年(1992)10月30日

(71)出願人 390005175

株式会社アドバンテスト  
東京都練馬区旭町1丁目32番1号

(72)発明者 林 正樹

東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内

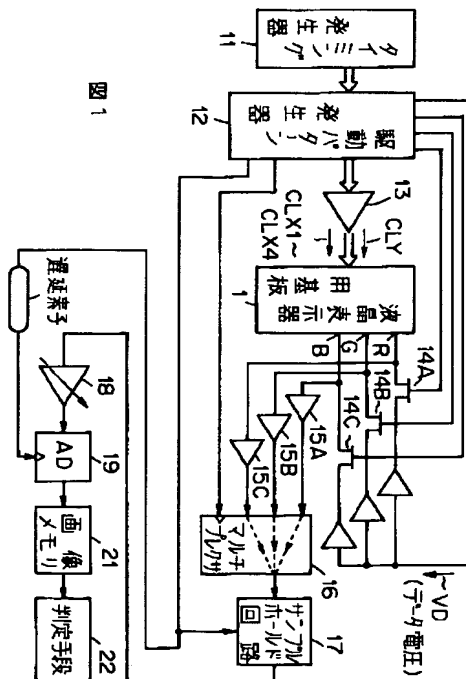
(74)代理人 弁理士 草野 卓 (外1名)

(54)【発明の名称】 液晶表示器用基板検査装置

(57)【要約】

【目的】 液晶及びカラーフィルタ等の要素を装着する前の状態にある液晶表示器用基板を直接検査し、良否を判定することができる液晶表示器用基板検査装置を提供する。

【構成】 検査すべき液晶表示器用基板に実装された行駆動回路2及び列駆動回路3に駆動信号を与える駆動パターン発生器12と、一つの行線が選択されている状態で液晶表示器用基板に設けられた映像信号入力端子R、G、Bにデータ電圧を与えると共に、同一行線が選択されている状態で行なわれる第1水平走査期間にオンに制御され、第2水平走査期間ではオフに制御され映像信号入力端子R、G、Bからデータ電圧の電圧源を切離すスイッチ素子と、第2水平走査期間に各列線が選択される毎に各列線の電圧を映像信号入力端子R、G、Bを通じて順次取込み記憶するメモリと、このメモリに記憶された電圧値が規定の範囲に入っているか否かを比較し、良否を判定する判定手段とによって構成する。



## 【特許請求の範囲】

【請求項1】 A. 検査すべき液晶表示器用基板上に実装された行駆動回路及び列駆動回路に駆動信号を与える駆動パターン発生器と、

B. 一つの行線が選択されている状態で実行される第1水平走査期間にオンに制御され、検査すべき液晶表示器用基板上に設けられた映像信号入力端子にデータ電圧を与えると共に、同一の行線が選択されている状態で行なわれる第2水平走査期間にオフに制御され、第2水平走査期間では上記映像信号入力端子から上記データ電圧の電圧源を切離すスイッチ素子と、

C. 上記第2水平走査期間に各列線が選択される毎に各列線の電圧を上記映像信号入力端子を通じて順次取込み記憶するメモリと、

D. このメモリに記憶された電圧値が規定の範囲に入っているか否かを比較し、上記液晶表示器用基板の良否を判定する判定手段と、によって構成したことを特徴とする液晶表示器用基板検査装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は液晶表示器用基板の検査装置に関する。

## 【0002】

【従来の技術】 液晶表示器の検査を完成前の基板の状態で検査できると無駄になる部品を少なくできることからコスト低減に有効である。特にカラー表示用液晶表示器の場合は前面に重ねられるカラーフィルタが無駄にならないためコストの低減に特に有効である。

【0003】 このような要求から従来より液晶表示器を基板の状態で検査することが試みられている。図4はその一例を示す。図中1は液晶表示器用基板を示す。この基板1は一般に透明な絶縁板が用いられ、その一方の面に垂直走査用の行駆動回路2と水平走査用の列駆動回路3とが実装される。行駆動回路2の出力側には行線4A、4B、4C、4D……が接続され、行駆動信号CLYに同期して行線4A、4B、4C、4D……が順次1水平走査毎に切替えられて選択され、選択された行線に例えば16V程度の電圧が与えられる。尚DY1は行駆動回路2に与えるスタートパルスを示す。

【0004】 列駆動回路3はこの例では4本のシフトレジスタ3A、3B、3C、3Dによって構成した場合を示す。これら4本のシフトレジスタ3A～3Dに列駆動信号CLX1～CLX4が与えられる。各シフトレジスタ3A～3Dの各出力端子に列駆動トランジスタ群5を構成する薄膜トランジスタQ<sub>1</sub>、Q<sub>2</sub>、Q<sub>3</sub>……のゲートを接続し、水平走査クロックに同期して薄膜トランジスタQ<sub>1</sub>、Q<sub>2</sub>、Q<sub>3</sub>……が順次オン、オフ制御され、各列線6A、6B、6C……に映像信号入力端子R、G、Bに与えられる映像信号の電圧を与える。つまりこの例ではカラー表示用の液晶表示器の場合を示す。

【0005】 このため映像信号入力端子は赤色の映像信号入力端子Rと、緑色の映像信号入力端子Gと、青色の映像信号入力端子Bとが設けられ、これら入力端子R、G、Bに赤色映像信号、緑色映像信号、青色映像信号が与えられ、これらの映像信号が列駆動トランジスタQ<sub>1</sub>、Q<sub>2</sub>、Q<sub>3</sub>、Q<sub>4</sub>……を通じて順次列線6A、6B、6C、6D……に与えられる。尚D<sub>x</sub>はシフトレジスタ3A～3Dに与えるスタートパルスを示す。

【0006】 ここで従来の基板検査装置として各行線4A、4B、4C……と、列線6A、6B、6C……の各端部に線欠陥検出回路7と8を設けた場合を説明する。これら線欠陥検出回路7と8は行線と列線の本数に対応した数の薄膜トランジスタによって構成され、これら各トランジスタはそのゲートが各行線4A、4B、4C……と、列線6A、6B、6C……に接続される。入力端子PVに例えば+5V程度の電圧を与えておき、行駆動回路2にクロックを与えることにより、行線4A、4B、4C……に順次16Vの電圧が与えられる。線欠陥検出回路7を構成するトランジスタは行線に順次+16Vの電圧が与えられる毎に、この16Vの電圧が与えられたトランジスタが順次オンになる。従って、行線4A、4B、4C……が途中で断線していなければ線欠陥検出回路7を構成する各トランジスタは順次オンに制御される。よってテストポイントTP1にはどの行線が選択されてもL論理が出力される。ここで例えば行線4Aに断線が発生しているとすると、行線4Aが選択されるとテストポイントTP1はH論理となる。よってテストポイントTP1がH論理に立上るときに選択されている行線に断線が存在することが解る。尚テストポイントTP1にH論理が出力される状態としては行線の断面の他に、行線が列線に接触している場合も含む。

【0007】 また同様に列線6A、6B、6C……に設けた線欠陥検出回路8にはテストポイントTP2が接続され、このテストポイントTP2にH論理が発生するとき、その時点で選択されている列線に断線又は行線との接触事故が発生していることが解る。

## 【0008】

【発明が解決しようとする課題】 図4に示した線欠陥検出回路7及び8によれば行線4A、4B、4C……と列線6A、6B、6C……が断線しているか又は行線と列線とが接触していることが解る。然し乍ら行線と列線との各交点に設けられる画素用スイッチ素子FET及び画素電極Pが正常に作られているか否かを検査することができない不都合がある。

【0009】 つまり画素電極P<sub>x</sub>が対向する行線に短絡した状態で作られた場合、及び画素電極P<sub>x</sub>が接続された電極（ドレイン）とゲートとの間が短絡した状態で作られた場合は図4に示した線欠陥検出回路7、8では検出できない。この発明の目的は液晶表示器が基板の状態において、画素用スイッチ素子FETと画素電極P<sub>x</sub>と

が正常に作られたか否かを検査することができる液晶表示器用基板検査装置を提供しようとするものである。

#### 【0010】

【課題を解決するための手段】この発明では一つの行線を選択した状態で水平走査を2回実行する。第1水平走査期間では映像信号入力端子にデータ電圧を与え、各列線を通じて画素用スイッチ素子によって選択されている画素電極にデータ電圧を与え、画素電極によって形成される静電容量にデータ電圧を充電する。第2水平走査期間では映像信号入力端子を通じて各画素電極によって形成される静電容量の充電電圧を読み出しメモリに取込む。メモリに取込まれた電圧を基準値と比較し、基準から外れている電圧を検出することにより、その部分の画素電極又は画素用スイッチ素子が不良であることを判定手段によって判定する。

【0011】従ってこの発明によれば、画素用スイッチ素子の不良と画素電極の不良を、基板の状態で検出することができる。よって液晶表示器に用いる高価な部品を無駄にすることがなく、コストの低減を達することができる。

#### 【0012】

【実施例】図1はこの発明の一実施例を示す。図1に示す1は図4に示した液晶表示器用基板と同一の構造のものとして説明する。図中11はタイミング発生器、12は駆動パターン発生器を示す。駆動パターン発生器12から行駆動信号CLY及び列駆動信号CLX1~CLX4が出力され、これら駆動信号CLY、CLX1~CLX4がドライバ群13を通じて検査すべき液晶表示器用基板1の各駆動信号入力端子に与えられ、検査すべき液晶表示器用基板1の各行線及び列線を駆動する。

【0013】また検査すべき液晶表示器用基板1の映像信号入力端子R、G、Bにはスイッチ素子14A、14B、14Cを通じてデータ電圧VDを与える。これらスイッチ素子14A、14B、14Cは第1水平走査期間ではオンの状態に制御され、続く第2水平走査期間ではオフに制御される。つまりこの発明では一つの行線を選択すると、その各行線毎に水平走査を2回ずつ繰返す駆動パターンを駆動パターン発生器12から出力させる。

【0014】図2にその状態を示す。n行目選択期間中に前半の1水平走査期間を書込動作期間とし、後半の1水平走査期間を読み出動作期間とする。ここで水平走査は図4に示したシフトレジスタ3A、3B、3C、3Dの中の1個だけを動作させ、列線6A、6B、6C……を4本おきに検査するようにしている。図2の列では列駆動信号CLX1だけを供給し、図4に示したシフトレジスタ3Aだけを駆動させた場合を示す。1/4の粗さで1画面分走査すると、次にはシフトレジスタ3Bだけを駆動し、これを繰返して4個のシフトレジスタ3A~3Dを全て駆動し、4画面分走査して検査を終了する。

【0015】書込動作期間ではスイッチ素子14A、1

(3)

特開平6-138449

4

4B、14Cがオンに制御され、検査すべき液晶表示器用基板1の映像信号入力端子R、G、Bにデータ電圧VDを与える。シフトレジスタ3Aだけが駆動されることにより、列線6A、6B、6C……は4本おきに選択され、その選択された列線に順次データ電圧VDが与えられる。各列線にデータ電圧が与えられることにより主に画素電極 $P_x$ によって形成される静電容量 $C_{st}$ にデータ電圧VDが充電される。シフトレジスタ3Aが担当する全ての列線にデータ電圧VDを与え終ると、スイッチ素子14A~14Cがオフに切替えられ、読出動作に入る。

【0016】読出は各映像信号入力端子R、G、Bに接続された高入力インピーダンス形のバッファ増幅器15A、15B、15Cによって行なわれる。これら3つのバッファ増幅器15A、15B、15Cの出力はマルチプレクサ16の入力端子に与えられ、3つの情報を1列のアナログデータ列に集約する。更に必要に応じてサンプルホールド回路17で各アナログ電圧の時間軸上の中心値を取込んで信号の例えば立上り部分のノイズ等を除去して、周波数帯域を低下させ、更に必要に応じて可変利得増幅器18を通じてAD変換器19に与える。AD変換器19でAD変換した結果を画像メモリ21に取込む。

【0017】図2のF、G、Hに映像信号入力端子R、G、Bから読出したアナログ電圧VR、VG、VBを示す。これら3つのアナログ電圧VR、VG、VBはマルチプレクサ16により図2Jに示す1列のアナログデータ列に集約され、必要に応じて図2Kに示すサンプリングクロックSPによってサンプルにホールドし、更に図2Lに示すAD変換クロックADCPによってAD変換し、画像メモリ21に書込まれる。

【0018】図3を用いてこの発明の動作を説明する。図3には検査しようとする液晶表示器用基板1の1画素部分を拡大して示している。図示の状態では行駆動回路2によって行線4Aが選択されている。従ってこの行線4Aに16Vの電圧が印加されているものとする。選択されていない行線4Bには0Vが与えられている。画素用スイッチ素子FETの各電極間にはゲート、ソース間に寄生容量 $C_{gs}$ が形成され、またゲート、ドレイン間には寄生容量 $C_{gd}$ が形成され、更にソース、ドレイン間には寄生容量 $C_{sd}$ が形成される。更に各行線と列線との間には容量 $C_{di}$ が形成される。行線6Aが選択されてデータ電圧VD=5Vが与えられると、この電圧VD=5Vが画素用スイッチ素子FETのソース、ドレインを通じて画素電極 $P_x$ に与えられる。よって画素電極 $P_x$ と行線4Bとの間に形成される静電容量 $C_{st}$ にデータ電圧VD=5Vが充電される。更にスイッチ素子FETの各電極間に形成される寄生容量 $C_{gs}$ 、 $C_{gd}$ と行線、列線間に形成される容量 $C_{di}$ 等にデータ電圧VD=5Vが充電される。

40

50

【0019】スイッチ素子FET及び画素電極 $P_x$ が正常に作られていればデータ電圧 $VD=5V$ に関連した正極性の或る電圧が映像信号入力端子R, G, Bに出力される。これに対し、例えば画素電極 $P_x$ がこれに対向する行線4Bにショートした状態で作られたとすると、画素電極 $P_x$ は行線駆動回路2によって選択されていない行線4Bに接触しているから、読出電圧はほぼ0Vになる。

【0020】一方スイッチ素子FETのゲート、ドレイン間がショートしていた場合には、行駆動回路2によって選択されている行線4Aには16Vの電圧が与えられているから画素用スイッチ素子FETのドレイン電極に16Vが印加される。よってこの場合には列線6Aの電位は16Vに近づく傾向の電位となり、正常時の電位より高い電位が読出される。同様にスイッチ素子FETのゲート、ソース間がショートした状態で作られたとすると、この場合には行線4Aが列線6Aに直接接触しているのと同じであるから列線6Aには行線4Aに与えられている16Vの電圧が直接出力される。またこのゲート、ソース間がショートしているスイッチ素子FETが20 行線4Aによって非選択状態になると、行線4Aは0Vとなるから、列線6Aには電圧が全く出力されない状態になる。従って画素用スイッチ素子FETのゲート、ソース間がショートされて作られると、この画素用スイッチ素子FETが接続されて列線例えば6Aは行線4A以外の行線が選択された場合は全く読出電圧を出力しない状態となる。従って画像メモリ21に取込んだ電圧の平均値を算出し、この平均値と比較して規定範囲に入っているか否かを比較判定手段22で判定することにより各画素単位及び行線単位で正常に作られているか否かを判30 定することができる。

#### 【0021】

【発明の効果】以上説明したように、この発明によれば液晶表示器用基板1にデータ電圧VDを与え、各画素電極 $P_x$ が形成する容量 $C_{gs}$ と、各寄生容量 $C_{gs}$ ,  $C_{gd}$ ,  $C_{gd}$ 等にデータ電圧VDを与え、電圧をアナログ的に一時記憶させ、その記憶したアナログ電圧を読出すことに

より、このアナログ電圧が規定値より高い、低いによって不良を検出することができる。よって液晶表示器に組立てる前の状態で不良を検出することができるから、液晶及びカラーフィルタのような高価な部品を不良品として処分しなくて済むから、製造コストを低減させることができる効果が得られる。

#### 【図面の簡単な説明】

【図1】この発明の一実施例を示すブロック図。

【図2】この発明の動作を説明するための波形図。

【図3】この発明の動作を説明するための液晶表示器用基板の一部を拡大して示す接続図。

【図4】従来の技術を説明するために液晶表示器用基板の構造を示す接続図。

#### 【符号の説明】

- 1 液晶表示器用基板
- 2 行駆動回路
- 3 列駆動回路
- 3A, 3B, 3C, 3D シフトレジスタ
- 4A, 4B, 4C, 4D 行線
- 5 列駆動トランジスタ群
- 6A, 6B, 6C 列線
- FET 画素用スイッチ素子
- $P_x$  画素電極
- R, G, B 映像信号入力端子
- 7, 8 線欠陥検出回路
- 11 タイミング発生器
- 12 駆動パターン発生器
- 13 ドライバ群
- 14A, 14B, 14C スwitch素子
- 15A, 15B, 15C 高入力インピーダンス型の30 バッファ増幅器
- 16 マルチプレクサ
- 17 サンプルホールド回路
- 18 可変利得増幅器
- 19 AD変換器
- 21 画像メモリ
- 22 判定手段

【図1】

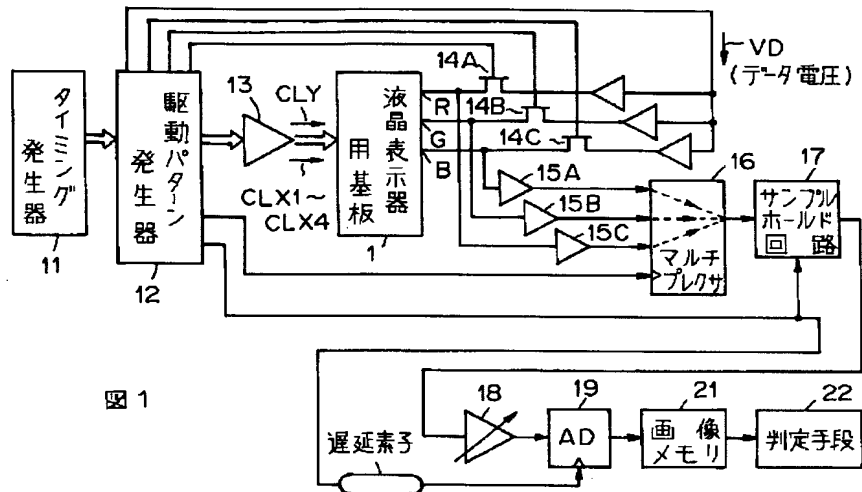
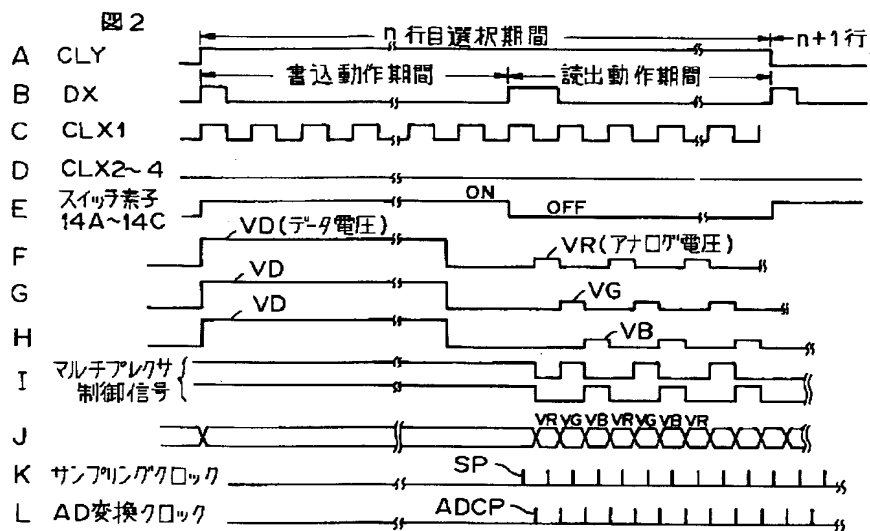


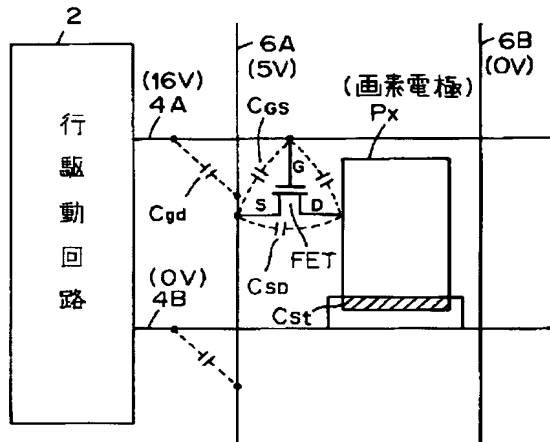
図1

【図2】



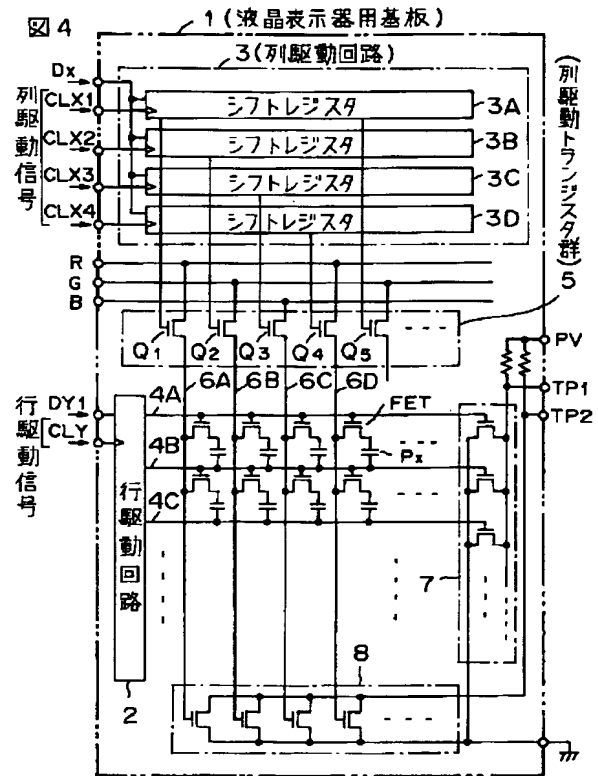
【図3】

図3



【図4】

図4



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**